

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111408

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H03K 19/0175

H04B 3/30

H04L 25/02

// H04B 15/02

(21)Application number : 11-287688

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.10.1999

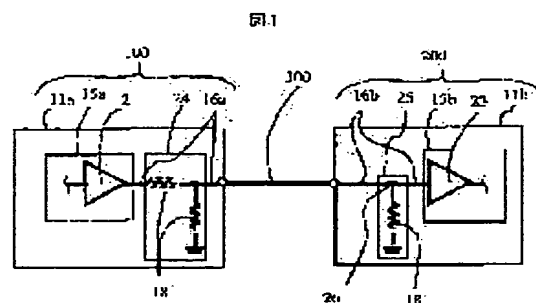
(72)Inventor : NAKANO TAKESHI
NAGATA TATSUYA
SHIRAI MASAYUKI
SHIOZAWA NOBORU

(54) STRUCTURE FOR PACKAGING HIGH SPEED SIGNAL TRANSMISSION WIRE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide high speed signal transmission wire packaging structure capable of reducing jitters by suppressing the timewise oscillation of a signal caused by a reflected wave reciprocally transmitted through a transmission wire for connecting a transmitting side semiconductor device to a receiving side semiconductor device especially in a signal transmission system consisting of the transmitting side and the receiving side.

SOLUTION: A distance from a node between an output circuit of a semiconductor device 15a to be an impedance mismatched position of a transmitting substrate 100 and an output wire 16a to a node 26 to be an impedance mismatched position of a receiving substrate 200 is determined so that signal transmission time becomes integer times a half of a signal switching period. Consequently the influence of jitters due to a signal reflected by each of impedance mismatched positions of both the substrates 100, 200, is restrained so that the high speed signal transmission wire packaging structure capable of resisting signal transmission of a short signal switching period can be provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111408

(P2001-111408A)

(43) 公開日 平成13年4月20日 (2001.4.20)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームト ⁷ (参考) |
|---------------------------|------|---------------|------------------------|
| H 0 3 K 19/0175 | | H 0 4 B 3/30 | 5 J 0 5 6 |
| H 0 4 B 3/30 | | H 0 4 L 25/02 | F 5 K 0 2 9 |
| H 0 4 L 25/02 | | H 0 4 B 15/02 | 5 K 0 4 6 |
| // H 0 4 B 15/02 | | H 0 3 K 19/00 | 1 0 1 Q 5 K 0 5 2 |

審査請求 未請求 請求項の数 4 O L (全 6 頁)

| | | | |
|-----------|------------------------|----------|--|
| (21) 出願番号 | 特願平11-287688 | (71) 出願人 | 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 |
| (22) 出願日 | 平成11年10月8日 (1999.10.8) | (72) 発明者 | 中野 健 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 |
| | | (72) 発明者 | 永田 達也 茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内 |
| | | (74) 代理人 | 100075096 弁理士 作田 康夫 |

最終頁に続く

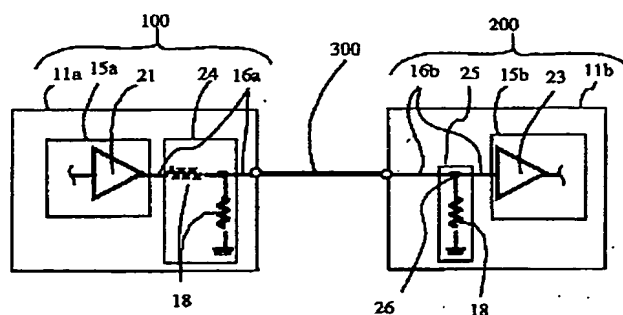
(54) 【発明の名称】 高速信号伝送配線実装構造

(57) 【要約】

【課題】特に送信側と受信側からなる信号伝送系に関して、送信側半導体装置と受信側半導体装置とを接続する伝送用配線を往復する反射波に起因する信号の時間的揺らぎを抑え、ジッタを低減するための高速信号伝送配線実装構造を提供する。

【解決手段】送信基板100のインピーダンス不整合箇所である半導体装置15aの出力回路と出力配線16aとの接続点と、受信基板200のインピーダンス不整合箇所である接続点26との間の距離を、信号伝送時間が信号切替周期の半分の時間の整数倍となるように定める。これにより、送信基板100及び受信基板200のそれぞれのインピーダンス不整合箇所では反射する信号によるジッタの影響を抑えることができ、その結果高速で信号切替周期の短い信号伝送に耐えうる高速信号伝送配線実装構造を提供できる効果がある。

図1



【特許請求の範囲】

【請求項 1】出力回路を有する第 1 の半導体装置を搭載し、前記出力回路と接続する出力配線及び前記出力配線に接続する送端手段を設けた第 1 の基板からなる送信基板と、入力回路を有する第 2 の半導体装置を搭載し、前記入力回路と接続する入力配線及び前記入力配線に接続する終端手段を設けた第 2 の基板からなる受信基板と、前記出力配線と前記入力配線を接続したケーブルとからなり、前記出力回路の出力インピーダンスは前記出力配線、前記ケーブル及び前記入力配線の特性インピーダンスと異なる高速信号伝送配線実装構造において、前記送端手段は反射波に対して整合であり、かつ前記出力回路と前記出力配線の接続点と、前記入力配線と前記終端手段の接続点との間を伝播する信号の往復伝送時間は、前記信号の切替周期の整数倍であることを特徴とする高速信号伝送配線実装構造。

【請求項 2】出力回路を有する第 1 の半導体装置を搭載し、前記出力回路と接続する出力配線及び前記出力配線に接続する送端手段を設けた第 1 の基板からなる送信基板と、入力回路を有する第 2 の半導体装置を搭載し、前記入力回路と接続する入力配線及び前記入力配線に接続する終端手段を設けた第 2 の基板からなる受信基板と、前記出力配線と前記入力配線を接続したケーブルとからなる高速信号伝送配線実装構造において、前記送端抵抗は反射波に対して不整合であり、かつ前記送端手段と前記出力配線の接続点と、前記入力配線と前記終端手段の接続点との間を伝播する信号の往復伝送時間が、前記信号の切替周期の整数倍であることを特徴とする高速信号伝送配線実装構造。

【請求項 3】出力回路を有する第 1 の半導体装置を搭載し、前記出力回路と接続する出力配線及び前記出力配線に接続する送端手段を設けた第 1 の基板からなる送信基板と、入力回路を有する第 2 の半導体装置を搭載し、前記入力回路と接続する入力配線及び前記入力配線に接続する終端手段を設けた第 2 の基板からなる受信基板と、前記出力配線と前記入力配線を接続したケーブルとからなる高速信号伝送配線実装構造において、前記送信基板の反射波に対するインピーダンス不整合の最大の点と、前記受信基板の進行波に対するインピーダンス不整合の最大の点との間を伝播する信号の往復伝送時間は、前記信号の切替周期の整数倍であることを特徴とする高速信号伝送配線実装構造。

【請求項 4】出力回路を有する第 1 の半導体装置と、入力回路を有する第 2 の半導体装置とを搭載し、前記出力回路と前記入力回路とを接続する配線を設け、前記出力回路近傍に前記配線に接続する送端手段を設け、前記入力回路近傍に前記配線に接続する終端手段を設けた基板とからなる高速信号伝送配線実装構造において、前記出力回路及び送端手段及び配線の接続点のうち、反射波に対するインピーダンス不整合の最大の点と、前記

配線と終端抵抗の接続点との間を伝播する信号の往復伝送時間が、前記信号の切替周期の整数倍であることを特徴とする高速信号伝送配線実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は送信側と受信側にそれぞれ信号処理用の半導体素子をもつ信号伝送配線実装構造に係り、特に、送信側及び受信側のそれぞれにインピーダンス不整合箇所をもつ高速信号伝送配線実装構造に関する。

【0002】

【従来の技術】高速信号伝送配線構造で、信号反射を抑え、送信側回路と受信側回路との整合を取るには、通常は送信側信号伝送回路と、受信側信号伝送回路と、伝送用配線の特性インピーダンスを等しくする方法が取られている。信号伝送配線構造に関しては、例えば特開平 5-27697 号公報に記載のように、広帯域駆動回路を備えた受像管に対する信号伝送回路で、駆動回路基板上の電圧増幅トランジスタの出力インピーダンスと、伝送線のインピーダンスと、受像管基板上の受端インピーダンスとが等しくなる伝送配線構造が報告されている。

【0003】

【発明が解決しようとする課題】コンピュータ等の電子装置は動作の高速化が求められており、高速で大規模な処理を可能とする信号処理回路、及び処理された信号を高速に伝送するインターフェース及び信号伝送配線構造が必要となっている。特に、高速信号伝送で反射波があると、本来の伝送信号に反射波が重畳し波形の乱れが生じ、ジッタとよばれる信号の時間的な揺らぎが増加する。このジッタは電子装置の誤動作の原因となるため極力小さくする必要がある。そのため、反射波の影響を小さくする信号伝送配線実装構造を設計する必要がある。

【0004】信号伝送系で、送信した信号を受信側基板上に伝送する際には、伝送用配線の長さに比例して伝播する信号に遅延が生じる。伝送系の特性インピーダンスがすべて等しく、整合が取れている回路では波形の乱れを生じることなく信号を伝送することができる。特開平 5-27697 号公報では、前記理想的な信号伝送系を構成することで、信号反射波を抑えることができることを示している。しかし、例えば CMOS トランジスタを用いた高速信号伝送系では、CMOS トランジスタの出力インピーダンスを、基板配線やケーブル等の伝送系を構成する他の要素の特性インピーダンスと一致させることは難しい。そのため、CMOS トランジスタの出力段でインピーダンス不整合となり、信号反射波を完全に抑えることはできない。また、受信側の半導体装置の入力回路は容量性の負荷となり、受信した信号は全反射する。半導体装置の入力回路近傍に終端抵抗を取り付けても、この容量性の負荷があるため完全には信号反射を防止することはできない。

【0005】本発明の目的は、送信側及び受信側の信号配線基板のそれぞれにインピーダンス不整合箇所をもち、両方の信号配線基板が伝送線で接続される高速信号伝送配線実装構造に関し、インピーダンス不整合箇所の存在による反射波、特に送信側及び受信側の信号配線基板を接続する伝送線を往復する反射波の影響を小さくするため、送信側及び受信側の信号配線基板を接続する伝送線の構造及び長さを定義し、ジッタを低減できる高速信号伝送配線実装構造を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、出力回路を有する第1の半導体装置を搭載し、前記出力回路と接続する出力配線及び前記出力配線に接続する送端手段を設けた第1の基板からなる送信基板と、入力回路を有する第2の半導体装置を搭載し、前記入力回路と接続する入力配線及び前記入力配線に接続する終端手段を設けた第2の基板からなる受信基板と、前記出力配線と前記入力配線を接続したケーブルとからなり、前記出力回路の出力インピーダンスは前記出力配線、前記ケーブル及び前記入力配線の特性インピーダンスと異なる高速信号伝送配線実装構造において、前記送端手段は反射波に対して整合であり、かつ前記出力回路と前記出力配線の接続点と、前記入力配線と前記終端手段の接続点との間を伝播する信号の往復伝送時間は、前記信号の切替周期の整数倍としたものである。

【0007】また、上記目的を達成するために、前記送端抵抗は反射波に対して不整合であり、かつ前記送端手段と前記出力配線の接続点と、前記入力配線と前記終端手段の接続点との間を伝播する信号の往復伝送時間が、前記信号の切替周期の整数倍としたものである。

【0008】また、前記送信基板の反射波に対するインピーダンス不整合の最大の点と、前記受信基板の進行波に対するインピーダンス不整合の最大の点との間を伝播する信号の往復伝送時間は、前記信号の切替周期の整数倍としたものである。

【0009】また、前記出力回路及び送端手段及び配線の接続点のうち、反射波に対するインピーダンス不整合の最大の点と、前記配線と終端抵抗の接続点との間を伝播する信号の往復伝送時間が、前記信号の切替周期の整数倍としたものである。

【0010】

【発明の実施の形態】以下、本発明の高速信号伝送配線実装構造の一実施例を図1から図3を用いて説明する。まず、本実施例の回路及び構造を、それぞれ図1の回路図及び図2の構造斜視図を用いて説明する。

【0011】第1の基板11aに出力回路21を設けた第1の半導体装置15aを搭載し、第1の基板11a上に配置した出力配線16aを介して送端回路24に接続する。さらに、出力配線16aに接続して、送信基板100を構成する。出力配線16aにケーブル300を介

して、受信基板200を構成している、第2の基板11b上に配置した受信配線16bに接続する。さらに、受信配線16bに終端手段25を接続し、受信配線16bを介して第2の半導体装置15bに設けた入力回路23に接続する。

【0012】図1に示すように、出力回路21から送端手段24及び終端手段25は、抵抗18を用いて構成する。送端回路24は、出力配線16aに直列に抵抗18を配置すると共に、ケーブル300側の出力配線16aとの接続点から基準電位に抵抗18を配置する。一方、終端手段25は入力配線16bと基準電位との間を抵抗18によって接続する構成としている。

【0013】図2の実装斜視図に示すように、実装しやすいように、第1及び第2の半導体装置15a、15bを半導体パッケージ14a、14bに搭載した。また、送信基板100とケーブル300と受信基板200とを、コネクタ17を用いて接続しているが、不可欠な構成ではない。

【0014】次に、本実施例の動作を説明する。出力回路21より送信されたデジタル信号は、出力配線16a、送端手段24、出力配線16a、コネクタ17、ケーブル300、入力配線16b、終端手段25、入力配線16bを通して入力回路23に伝送される。この間、各部分のインピーダンスの異なる部分で信号の一部が反射されるが、接続点前後の部分のインピーダンスの違いが大きいほど反射波の振幅は大きくなる。特に終端手段25と入力配線16bとの接続点26で両者が並列接続となりインピーダンスが大きく低下するため、大きな反射波が送信基板100に戻ることになる。

【0015】反射波は逆の経路を戻り出力回路21に至る。この間、送端手段は反射波に対して整合しており、ここではさらなる反射は発生しない。出力回路21に至った反射波は、出力回路21の出力インピーダンスが出力配線16aと異なっている。このため、さらにこれらの接続点で反射される。この往復反射波は、同じ時刻に送信されたデジタル信号と重畳して入力回路23に至り、電圧変動を生じて好ましくないジッタを発生させる。

【0016】本実施例の高速信号伝送配線実装構造に切替周期、即ち、信号が1から0、あるいは0から1に切替る時の0あるいは1の最小の時間が1nsのデジタル信号を入力したとき、ケーブル300の長さを100cmから114cmの範囲で変化させてジッタ量を解析した結果の一例を図3に示す。

【0017】長さ13cmの周期でジッタが周期的に変化することがわかった。往復長さの周期26cmは、本実施例で信号が時間1nsの間に伝播する距離に相当する。ジッタが極小となるケーブル13の長さ106cmの場合で、出力回路21と受信側配線分岐26との往復経路の信号伝送遅延時間を算出すると、1Gbit/s

デジタル信号の切替周期 1 ns の整数倍の時間となる。すなわち、出力回路 21 と受信側配線分岐 26 との間の距離を、信号伝送時間が信号切替周期の半分の時間、 500 ps の整数倍となるように定めることにより、ジッタを極小にすることができることがわかった。

【0018】本実施例では送信基板及び受信基板はそれぞれ 1 つであり、また、出力回路、入力回路も半導体装置に 1 つある場合を示したが、これに限定されるものではなく、複数の信号配線基板をもち、伝送用配線及びケーブルで接続され、高速な信号を伝送する配線実装構造に適用可能であることは言うまでもない。

【0019】次に、本発明の他の一実施例を図 4 の回路図を用いて説明する。この回路図では、図 1 の回路図と比較すると、送端手段 24 の構成のみ異なっているため、重複する説明は省略する。

【0020】本実施例の送端手段 24 では、抵抗の配置を変えて出力回路 21 から入力回路 23 へ送信する信号波との整合をとっており、反射波に対しては不整合となっている点が異なる。出力回路 21 から送信された信号の一部は、先の実施例と同じく終端手段 25 と入力配線 16 b との接続点 26 で反射され、送端手段 24 に向かって伝送される。送端手段 24 は反射波に対して不整合のため、伝送された反射波は送端手段 24 でさらに反射されて入力回路 23 に向かって伝送される。この往復反射波は同じ時刻に伝送されるデジタル信号に重畳して入力回路 23 に至り、電圧変動を生じて好ましくないジッタを発生させる。

【0021】本実施例では、ケーブル 300 側の出力配線 16 a と送端手段 24 との接続点と、受信側配線分岐 26 が主な反射点となる。すなわち、送信側配線分岐 41 と受信側配線分岐 26 との間の距離を、信号伝送時間が信号切替周期の半分の時間の整数倍となるように定めることにより、ジッタを極小にすることができる。本実施例では、送信基板及び受信基板はそれぞれ 1 つである。また、出力回路、入力回路も半導体装置に 1 つの場合を示したが、これに限定されるものではなく、複数の信号配線基板をもち、伝送用配線及びケーブルで接続され、高速な信号を伝送する配線実装構造に適用可能であることは言うまでもない。

【0022】先の 2 つの実施例で共通であるのは、送信基板 100 の反射波に対するインピーダンスの不整合の最大の点と、受信基板 200 の進行波に対するインピーダンスの不整合の最大となる点との間の距離を、両者の間を伝播する信号の往復伝送時間が信号の切替周期の整数倍とすることによってジッタを低減できると言うことである。

【0023】次に、本発明の他の一実施例の回路図を図 5 に示す。図 1 で説明した実施例と構成及び効果はほとんど同じであるので、図 1 と同一の部分の説明は省略する。出力回路 21、入力回路 23 のそれぞれが実装され

た半導体装置 15 a、15 b 及び伝送用配線 16、送端手段 24、終端手段 25 が同一の実装基板 71 に実装されてケーブルが無くなっており、この点を除けば図 1 の回路図と等しい配置である。本実施例では、出力回路 21 と配線 16 との接続点が主な反射点となる。すなわち、この接続点と、終端手段 25 と配線 16 との接続点 26 との間の長さを、信号伝送時間が信号切替周期の半分の時間の整数倍となるように定めることにより、ジッタを極小にすることができる。本発明は図 7 に示す配線実装構造に限定されるものではなく、一般に信号伝送系の送信側及び受信側に反射の原因となるインピーダンス不整合個所をもつ高速信号伝送配線実装構造に適用可能である。

【0024】次に、先に述べた実施例の共通する別の応用実施例を図 6 及び図 7 を用いて説明する。

【0025】図 6 の実施例では終端手段 25 を基板 11 ではなく、第 2 の半導体装置に設けた構成となっており、他の構造及び効果は先の実施例と同一であるので省略する。本実施例によれば終端手段 25 を第 2 の半導体装置に設けているので、小型の実装が可能となる効果がある。

【0026】また、図 7 の実施例では図 1 の実施例と比較して、送端手段 24 と終端手段 25 の間にコンデンサ 61 a、61 b を設けている点が異なっている。本実施例によれば図 1 の実施例の効果に加えて、送信基板 100 と受信基板 200 とは交流でのみ接続されるため、送信基板 100 と受信基板 200 の直流電圧を異なる値で使用できる効果がある。

【0027】

【発明の効果】前述の構成とすることにより、送信側及び受信側の信号配線基板のそれぞれにインピーダンス不整合個所をもち、両方の信号配線基板が伝送線で接続される高速信号伝送配線実装構造に関し、インピーダンス不整合個所の存在による反射波、特に送信側及び受信側の信号配線基板を接続する伝送線を往復する反射波の影響を小さくするため、送信側及び受信側の信号配線基板を接続する伝送線の構造及び長さを定義し、ジッタを低減できる高速信号伝送配線実装構造を実現した。

【図面の簡単な説明】

【図 1】本発明の一実施例の回路図である。

【図 2】本発明の一実施例の斜視図である。

【図 3】本発明の一実施例のケーブル長さとしジッタとの関係を表した図である。

【図 4】本発明の他の一実施例の回路図である。

【図 5】本発明の他の一実施例の回路図である。

【図 6】本発明の他の一実施例の回路図である。

【図 7】本発明の他の一実施例の回路図である。

【符号の説明】

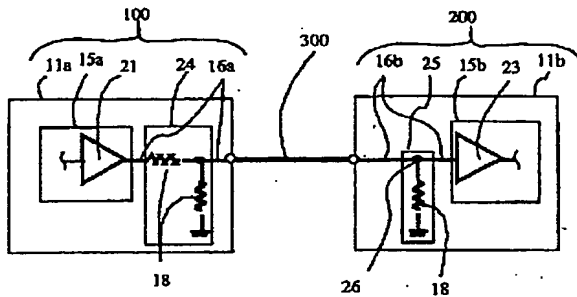
11…基板、11 a…第 1 の基板、11 b…第 2 の基板、14…半導体パッケージ、15 a…第 1 の半導体装

7

置、15b…第2の半導体装置、16…配線、16a…出力配線、16b…入力配線、17…コネクタ、18…チップ抵抗、19…スルーホール、21…出力回路、23…入力回路、24…送端手段、25…終端手段、26

【図1】

図1

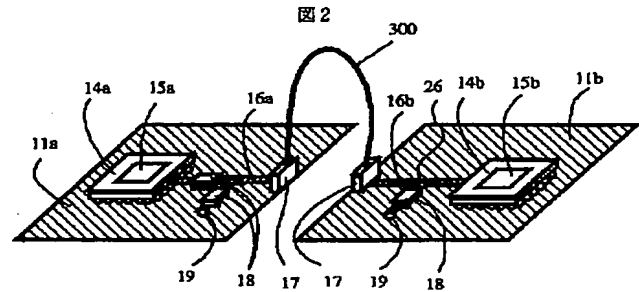


8

…入力配線分岐、41…出力配線分岐、61…コンデンサ、71…実装基板、100…送信基板、200…受信基板、300…ケーブル。

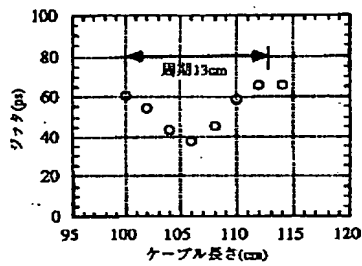
【図2】

図2



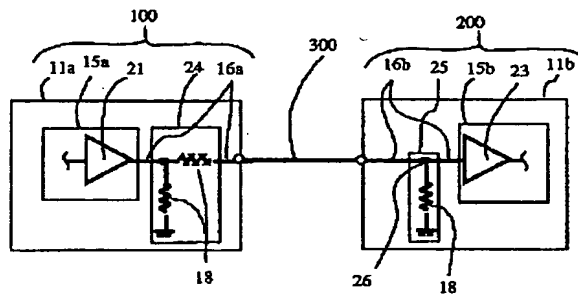
【図3】

図3



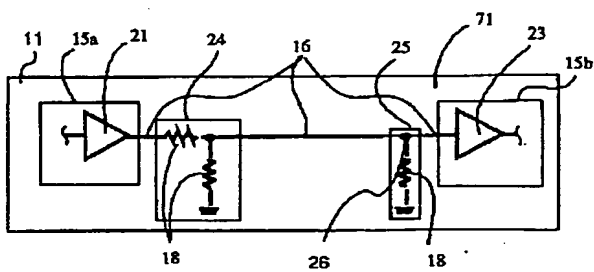
【図4】

図4



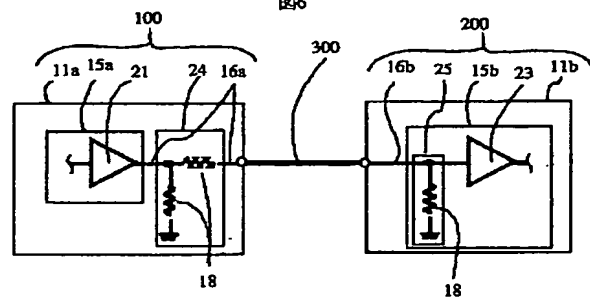
【図5】

図5

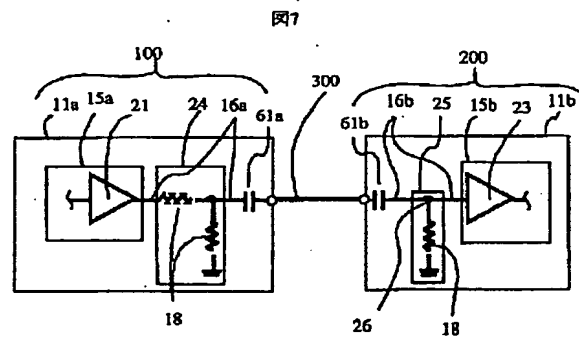


【図6】

図6



【図 7】



フロントページの続き

(72)発明者 白井 優之
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72)発明者 塩沢 昇
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

Fターム(参考) 5J056 AA01 AA04 AA40 BB23 BB24
 DD13 FF08 HH03 KK02
 5K029 AA03 CC01 DD04 GG07 HH01
 JJ08
 5K046 AA01 BA06 CC21
 5K052 AA02 AA11 BB14 BB21 DD03
 DD07 FF26 FF38 GG01 GG12